

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



PATENT  
Docket No.: 492322014400

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Shuichi TAKAHASHI et al.

Serial No.: 10/696,580

Filing Date: October 30, 2003

For: NONVOLATILE SEMICONDUCTOR  
MEMORY DEVICE

Examiner: Not Yet Assigned

Group Art Unit: 2818

**SUBMISSION OF CERTIFIED FOREIGN PRIORITY DOCUMENT**

U.S. Patent and Trademark Office  
2011 South Clark Place  
Customer Window, Mail Stop Applications  
Crystal Plaza Two, Lobby, Room 1B03  
Arlington, VA 22202

Sir:

Under the provisions of 35 USC 119, Applicants hereby claim the benefit of the filing of Japanese patent application No. 2002-316483 filed October 30, 2002.

The certified priority document is attached to perfect Applicants' claim for priority.

It is respectfully requested that the receipt of the certified copies attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from the documents and the Patent and Trademark Office determines that an extension and/or other relief is required, applicants petition for any required relief including extensions of time and authorizes the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to **Deposit Account No. 03-1952** referencing **492322014400**.

Dated: March 26, 2004

Respectfully submitted,

By:

Barry E. Bretschneider  
Registration No. 28,055

Morrison & Foerster LLP  
1650 Tysons Boulevard, Suite 300  
McLean, Virginia 22102  
Telephone: (703) 760-7743  
Facsimile: (703) 760-7777

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

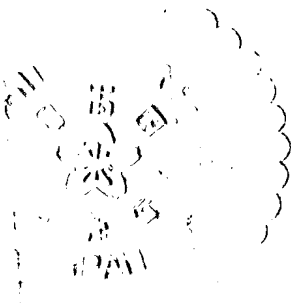
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 0 月 3 0 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 2 - 3 1 6 4 8 3  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 3 1 6 4 8 3 ]

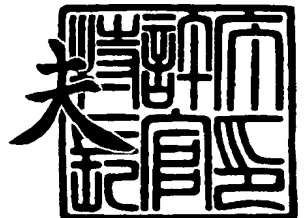
出 願 人                      三 洋 電 機 株 式 有 限 公 司  
Applicant(s):



2 0 0 3 年    7 月 2 9 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出 証 番 号    出 証 特 2 0 0 3 - 3 0 6 0 0 8 9

【書類名】 特許願

【整理番号】 KGA1020065

【提出日】 平成14年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 高橋 秀一

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 鹿倉 文子

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 森 真也

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 山田 順治

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 山田 裕

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

【氏名】 谷口 敏光

## 【特許出願人】

【識別番号】 000001889  
【氏名又は名称】 三洋電機株式会社  
【代表者】 桑野 幸徳

## 【代理人】

【識別番号】 100111383  
【弁理士】  
【氏名又は名称】 芝野 正雅  
【連絡先】 0 3 - 3 8 3 7 - 7 7 5 1 知的財産センター東京事務所

## 【手数料の表示】

【予納台帳番号】 013033  
【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 メモリトランジスタと、

該メモリトランジスタ上に交互に積層された絶縁膜及び金属層と、

前記絶縁層のそれぞれに設けられたコンタクトホールと、

該コンタクトホールに埋め込まれ、上下方向に隣接する金属層を電氣的に接続するための金属プラグと、

最上層の金属層から成るビット線と、を有し、

前記絶縁層にそれぞれ設けられたコンタクトホールは上下方向に整列して形成され、かつ前記各絶縁層の中、いずれかの絶縁層に設けられるコンタクトホール及び金属プラグの有無に応じて、前記メモリトランジスタが前記ビット線に接続されるか否かが切り換えられることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記最上層の絶縁層に設けられるコンタクトホール及び金属プラグの有無に応じて、前記メモリトランジスタが前記ビット線に接続されるか否かが切り換えられることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記最上層の絶縁層に設けられるコンタクトホールのサイズが、

下層の前記絶縁層に設けられるコンタクトホールのサイズより大きいことを特徴とする請求項 1 又は請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】 メモリトランジスタと、

該メモリトランジスタ上に形成された第 1 絶縁層と、

該第 1 の絶縁層に設けられた第 1 コンタクトホールと、

該第 1 コンタクトホールに埋め込まれた第 1 金属プラグと、

該第 1 金属プラグ上に形成された第 1 金属層と、

該第 1 金属層上に形成された第 2 絶縁層と、

該第 2 の絶縁層に設けられた第 2 コンタクトホールと、

該第 2 コンタクトホールに埋め込まれた第 2 金属プラグと、

該第2金属プラグ上に形成された第2金属層と、  
該第2金属層上に形成された第3絶縁層と、  
該第3絶縁層上に形成された第3金属層から成るビット線と、を有し、  
前記第3絶縁層に形成される第3コンタクトホール及び該第3コンタクトホールに埋め込まれる第3金属プラグの有無に応じて、前記メモリトランジスタが前記ビット線に接続されるか否かが切り換えられ、かつ前記第1、第2及び第3コンタクトホールは上下方向に整列されることを特徴とする不揮発性半導体記憶装置。

【請求項5】   メモリトランジスタと、  
該メモリトランジスタ上に形成された第1絶縁層と、  
該第1の絶縁層に設けられた第1コンタクトホールと、  
該第1コンタクトホールに埋め込まれた第1金属プラグと、  
該第1金属プラグ上に形成された第1金属層と、  
該第1金属層上に形成された第2絶縁層と、  
該第2絶縁層上に形成された第2金属層と、  
該第2金属層上に形成された第3絶縁層と、  
該第3絶縁層に設けられた第3コンタクトホールと、  
該第3コンタクトホールに埋め込まれた第3金属プラグと、  
該第3金属プラグ上に形成された第3金属層から成るビット線と、を有し、  
前記第2絶縁層に形成される第2コンタクトホール及び該第2コンタクトホールに埋め込まれる第2金属プラグの有無に応じて、前記メモリトランジスタが前記ビット線に接続されるか否かが切り換えられ、かつ前記第1、第2及び第3コンタクトホールは上下方向に整列されることを特徴とする不揮発性半導体記憶装置。

【請求項6】   前記第2及び第3コンタクトホールのサイズが、第1コンタクトホールのサイズより大きいことを特徴とする請求項4又は請求項5記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

## 【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置に関し、特に多層メタルプロセスが適用された不揮発性半導体記憶装置に関する。

## 【0002】

## 【従来の技術】

従来より、マスクの切り換えによりプログラムの書き込みを行うマスクROMが知られている。マスクROMの方式には、(1) メモリトランジスタをビット線に接続するか否かを拡散層の有無で切り換える拡散層マスク切り換え方式、(2) メモリトランジスタの導通状態をそのチャネル領域にイオン注入がされているか否かにより切り換えるイオン注入マスク切り換え方式、(3) コンタクトの有無によりメモリトランジスタをビット線に接続するか否かを切り換えるコンタクトマスク切り換え方式がある。

## 【0003】

一般にマスクROMはユーザーからの受注があったときにプログラム書き込み工程を行うため、このプログラム書き込み工程はマスクROMの製造工程の最終工程に近い程、TATを短縮することができる。すなわち、受注から納品までの期間を短縮することができる。

## 【0004】

上記マスクROMの方式の中、(1) の拡散マスク切り換え方式は、拡散工程がマスクROMの製造工程の初期に行われるため、TAT短縮のためには不利である。

## 【0005】

また、(2) のイオン注入マスク切り換え方式では、プログラム書き込み用のイオン注入工程をROMの製造工程の後期に行うことができ、TATの短縮を図ることができる。しかし、多層メタルプロセスが適用されるマスクROMに対してこの方式を採用する場合には、メモリトランジスタのチャネル領域にイオンを打ち込むために、多層に積層された絶縁層を貫通させるような高加速エネルギーでイオン注入を行うか、もしくは比較的低加速エネルギーでイオン注入できるように、絶縁層をある程度エッチングした後に、イオン注入しなければならず、工



程が複雑になってしまう。

【0006】

(3) のコンタクトマスク切り換えに関連して、以下の特許文献1に、コンタクトの有無に基づいて、プログラムを行う不揮発性半導体記憶装置が記載されている。

【0007】

【特許文献1】

特開 2002-230987号公報

【0008】

【発明が解決しようとする課題】

そこで、本発明は多層メタルプロセスが適用されるマスクROMのTAT短縮化を図るものである。また、そのようなマスクROMの高速化と高集積化を図るものである。

【0009】

【課題を解決するための手段】

本発明は、多層メタルプロセスが適用されるマスクROMにおいて、メモリトランジスタをビット線に接続するか否かを各絶縁層に設けられるコンタクトホールの有無に基づいて切り換え、プログラミングを行うものであり、特に、各絶縁層に設けられるコンタクトホール及びこのコンタクトホールに埋め込まれる金属プラグが上下方向に整列されて積み上げられた構造、すなわちスタックト・コンタクト構造 (Stacked Contact Structure) を有するものである。

【0010】

【発明の実施の形態】

次に、本発明の実施形態について図面を参照しながら詳細に説明する。図1はマスクROMの回路図、図2は図1に示したマスクROMのメモリアレイのレイアウト図、図3は図2のX-X線に沿った断面図、図4は図2のY-Y線に沿った断面図である。

【0011】

図1に示すように、このマスクROMは、メモリセルアレイ100、行アドレ

ステコーダ101、列アドレスデコーダ102、出力バッファ103を有している。また、このマスクROMは単体でも良いし、マイクロコンピュータやロジック等のLSIにプログラムメモリとして内蔵されても良い。メモリアレイ100には、多数のメモリトランジスタが行列に配置されている。

#### 【0012】

図1及び図2には、メモリアレイ100の4つのメモリトランジスタMT1, MT2, MT3, MT4のみが示されている。メモリトランジスタMT1, MT2, MT3, MT4はいずれもNチャネル型MOSトランジスタである。なお、メモリトランジスタMT1, MT2, MT3, MT4はPチャネル型であっても良い。

#### 【0013】

複数のワード線WLが行方向に配置されている。これらのワード線WLは行アドレスデコーダ101に接続されている。この行アドレスデコーダ101は行アドレスデータに応じて、複数のワード線WLの中、1本のワード線WLを選択する。これらのワード線WLはポリシリコン層やポリサイド層から成る。

#### 【0014】

また、複数のビット線BLが列方向に配置されている。これらのビット線BLは列アドレスデコーダ102に接続されている。この列アドレスデコーダ102は列アドレスデータに応じて、複数のビット線BLの中、1本のビット線BLを選択する。これらのビット線BLは第3層目の金属層から成り、メモリトランジスタMT1, MT2, MT3, MT4上を覆うように配置されている。

#### 【0015】

メモリトランジスタMT1, MT2, MT3, MT4は、それぞれビット線BLとワード線WLが交差する領域に配置されている。各メモリトランジスタMT1, MT2, MT3, MT4のゲートは対応するワード線WLで構成されている。各メモリトランジスタMT1, MT2, MT3, MT4のソース領域は、それぞれ第1コンタクトホールFC1を介して、電源電圧Vdd（接地電位Vssでもよい）を供給する電源ラインVLに共通に接続されている。

#### 【0016】

そして、メモリトランジスタMT1, MT2, MT3, MT4のドレイン領域を対応するビット線BLに接続するか否かが、第3コンタクトホールTCの有無に基づいて切り換えられる。例えば、メモリトランジスタMT1については、第3コンタクトホールTCが有るので、後述する第3コンタクトホールTCに埋め込まれたWプラグ26を介して対応するビット線BLに接続され、メモリトランジスタMT2については、第3コンタクトホールTCが無いので、対応するビット線BLに接続されない。

#### 【0017】

同様に、メモリトランジスタMT3についても、第3コンタクトホールTCが無いので、対応するビット線BLに接続されず、メモリトランジスタMT4については、第3コンタクトホールTCが有るので、第3コンタクトホールTCに埋め込まれたWプラグ26を介して対応するビット線BLに接続される。

#### 【0018】

次に、上記のメモリトランジスタMT1について、図3の断面図を参照して更に詳しく説明する。Si基板のような半導体基板10上にトランジスタ分離用のフィールド酸化膜11, 12が形成されている。そして、フィールド酸化膜11, 12の間の半導体基板10にゲート絶縁膜13が形成されている。

#### 【0019】

このゲート絶縁膜13上に、ゲートとしてのワード線WLが形成されている。そして、このワード線WLの一方の側に隣接した半導体基板10の表面に、N+型層14及びN-型層15から成るソース領域が形成されている。また、ワード線WLの反対側に隣接した半導体基板10の表面に、N+型層16及びN-型層17から成るドレイン領域が形成されている。すなわち、メモリトランジスタMT1はLDD構造を有している。他のメモリトランジスタについても同じである。

#### 【0020】

そして、このメモリトランジスタMT1上には、層間絶縁層として第1絶縁層18が形成されている。この第1絶縁層18には2つの第1コンタクトホールF

C1, FC2が形成されている。第1コンタクトホールFC1は、ソース領域を露出するように開口され、Wプラグ19が埋め込まれている。ここで、Wプラグとは、コンタクトホールに埋め込まれたタングステン(W)のことである。第2のコンタクトホールFC2にはWプラグ20が埋め込まれている。

#### 【0021】

そして、Wプラグ19上には、電源ラインVLが形成されており、この電源ラインVLはWプラグ19を通してメモリトランジスタMT1のソース領域と電氣的に接続されている。また、Wプラグ20上には第1金属層21が形成されており、この第1金属層21は、Wプラグ20を通して、メモリトランジスタMT1のドレイン領域と電氣的に接続されている。第1金属層21は第1コンタクトホールFC2の周囲に所定のエクステンションを持っている。

#### 【0022】

そして、電源ラインVL、第1金属層21上には層間絶縁膜として第2絶縁層22が形成されている。第2絶縁層22には第2コンタクトホールSCが形成されている。この第2コンタクトホールSCは、第1金属層21の表面を露出するように開口され、Wプラグ23が埋め込まれている。

#### 【0023】

更に、Wプラグ23上には第2金属層24が形成されており、この第2金属層24は、Wプラグ23を通して、下層の第1金属層21と電氣的に接続されている。この第2金属層24は第2のコンタクトホールSCの周囲に所定のエクステンションを持っている。また、第2金属層24上には層間絶縁膜として第3絶縁層25が形成されている。

#### 【0024】

そして、第3の絶縁層25には第3コンタクトホールTCが形成され得るが、この第3コンタクトホールTCの有無に基づいて、メモリトランジスタMT1が3層目の金属層のビット線BLに接続されるか否かが切り換えられる。このメモリトランジスタMT1については、第3コンタクトホールTCが形成されている。つまり、この第3コンタクトホールTCは、第2金属層24の表面を露出するように開口され、Wプラグ26が埋め込まれている。Wプラグ26上にはビット

線BLが形成されている。したがって、メモリトランジスタMT1のドレイン領域は、Wプラグ20、Wプラグ23及びWプラグ26を通してビット線BLに電氣的に接続されている。

#### 【0025】

上記構成において、第1コンタクトホールFC2、第2コンタクトホールSC、第3コンタクトホールTC、及び各コンタクトホールに埋め込まれたWプラグ18、23、26は上下方向に揃って整列されている。このようにコンタクトが積み上げられた構造をスタック・コンタクト構造と呼ぶことにする。このスタック・コンタクト構造によれば、多層メタル構造において、コンタクト領域のパターン面積を最小とすることができる。

#### 【0026】

また、このスタック・コンタクト構造において、第2コンタクトホールSC、第3コンタクトホールTCのサイズを第1コンタクトホールFC2のサイズより大きくすることが好ましい。これにより、多層メタル構造のコンタクト抵抗を極力小さくすることができ、マスクROMの高速化を図ることができる。

#### 【0027】

また、第1コンタクトホールFC2については小さいサイズとすることで、メモリトランジスタMT1を微細化できる。ここで、コンタクトホールのサイズとは開口の大きさを定義される。一般に、コンタクトホールはドライエッチングで形成されるため、そのボトム部とトップ部とを比較するとトップ部のサイズの方が大きい。ここでのサイズの大小は、ボトム部またはトップ部のいずれかで比較される。例えば、第1コンタクトホールFC2のトップ部のコンタクトサイズを $d_1$ 、第2コンタクトホールSCのコンタクトサイズを $d_2$ すれば $d_2 > d_1$ である。

#### 【0028】

次に、上記のメモリトランジスタMT2について、図4の断面図を参照して更に詳しく説明する。このメモリトランジスタMT2については、図3の第3コンタクトホールTCに相当する第3コンタクトホールTCが形成されていない。このため、

メモリトランジスタMT2は対応するビット線BLに接続されていない。他の構造については図3のメモリトランジスタMT1と同じである。

#### 【0029】

なお、第3コンタクトホールTCが形成されていないメモリトランジスタMT3は、メモリトランジスタMT2と同様構造を有しており、第3コンタクトホールTCが形成されているメモリトランジスタMT4はメモリトランジスタMT1と同様の構造を有している。もちろん、あるメモリトランジスタについて第3コンタクトホールTCを形成するかどうかは任意であり、マスクROMに書き込むべきプログラムに応じて選択されるものである。

#### 【0030】

次に、上述したマスクROMの動作について説明する。例えば、行アドレスデコーダ101及び列アドレスデコーダ102によってメモリトランジスタMT1が選択されるとする。この場合、メモリトランジスタMT1に接続されたワード線WLがハイレベルとなると共に、メモリトランジスタMT1に接続されたビット線BLが選択される。なお、ビット線BLはメモリトランジスタMT1が選択される前に所定のプリチャージ電位にプリチャージされているものとする。

#### 【0031】

すると、メモリトランジスタMT1はオン状態となる。メモリトランジスタMT1のドレイン領域は第3コンタクトホールTCを介してビット線BLに接続されているので、電源ラインVLの電源電位VddがメモリトランジスタMT1を通してビット線BLに出力される。このため、ビット線BLの電位はプリチャージ電位からVddに変化する。このとき、メモリトランジスタMT1の記憶状態を「1」と定義する。そして、このプログラムデータ「1」はビット線BLから出力バッファ103を通してマスクROMの外部に出力される。

#### 【0032】

一方、行アドレスデコーダ101及び列アドレスデコーダ102によってメモリトランジスタMT2が選択されるとする。この場合、メモリトランジスタMT2に接続されたワード線WLがハイレベルとなると共に、メモリトランジスタMT2に接続されたビット線BLが選択される。ところが、メモリトランジスタM

T2には、第3コンタクトホールTCが形成されていないため、ビット線BLに接続されない。したがって、ビット線BLの電位はプリチャージ電位のままである。このときのメモリトランジスタMT2の記憶状態を「0」と定義する。そして、このプログラムデータ「0」はビット線BLから出力バッファ103を通してマスクROMの外部に出力される。

#### 【0033】

こうして、各メモリトランジスタに第3コンタクトホールTCを形成するか否かに基づいて、「1」、「0」のいずれかのプログラムデータをマスクROMの各アドレスに書き込み、そのデータを読み出すことが可能となる。

#### 【0034】

上記の実施形態においては、各メモリトランジスタに対応して、第3コンタクトホールTCを形成するか否かに基づいて、プログラムデータを書き込み及び読み出し可能としている。これにより、マスクROMのTAT短縮化を図るものである。

すなわち、ユーザーからマスクROMを受注してから納品するまでの期間を極力短縮することができる。

#### 【0035】

本発明はこれには限定されず、第3のコンタクトホールTCの代わりに、これよりも下層のコンタクトホールをプログラム書き込みに用いても良い。例えば、各メモリトランジスタに対応して、第2コンタクトホールSCを形成するか否かに基づいて、プログラムデータを書き込み及び読み出し可能としてもよい。図5には、そのような第2コンタクトホール切り換え方式において、第2コンタクトホールSCを形成しない場合の断面図を示した。この断面図は、図3の断面図に対応するものである。この場合には、第3コンタクトホールTCを用いた場合に比べてTATは長くなってしまふ。これは第2コンタクトホールSCの形成工程が第3コンタクトホールTCの形成工程よりも前に行われるからである。

#### 【0036】

しかしながら、この第2コンタクトホール切り換え方式には、プログラムデータが光学的に読み取れないというセキュリティ上の利点がある。すなわち、この

方式では、各メモリトランジスタについて必ず第3コンタクトホールTCが形成され、第3コンタクトホールTCはWプラグによって埋め込まれているので、このWプラグが遮光マスクとなり、その下層の第2コンタクトホールSCが形成されているかどうかを光学的に検出できないのである（図5参照）。これは、スタックト・コンタクト構造を有していることが前提である。

#### 【0037】

次に、スタックト・コンタクト構造の形成方法について図6を参照して説明する。ここでは、図1の第2コンタクトホールSC、Wプラグ23の形成を例として説明する。

#### 【0038】

図6（A）に示すように、第1金属層21上に第2絶縁層22を形成する。第2絶縁層22は、平坦性やクラック防止のために、一般に複数の絶縁層を積層して成るもので、例えばCVD法によりTEOS膜、SOG膜、TEOS膜を積層して形成する。第2絶縁層22は、平坦化のために、いわゆる化学的機械研磨法（CMP法）を利用してもよい。ここで、第2絶縁層22の膜厚は例えば800nm程度である。

#### 【0039】

次に図6（B）に示すように、ドライエッチング法により、第2絶縁層22に第2コンタクトホールSCを形成し、第1金属層21の表面を露出する。そして、図6（C）に示すように、全面にタングステンWをCVD法により堆積する。このとき、第2コンタクトホールSCはタングステンWによって埋め込まれる。

#### 【0040】

次に図6（D）に示すように、タングステンWをエッチバックして、第2コンタクトホールSC内にもみ、タングステンWを残存させ、Wプラグ23を形成する。このときのエッチングガスは例えばSF<sub>6</sub>+Arである。その後、図6（E）に示すように、Wプラグ23上に第2金属層24を形成する。なお、第3の絶縁層23、第3コンタクトホールTC、Wプラグ26についても全く同様に形成することができる。

#### 【0041】



上記の形成方法は全面に堆積させたタングステンWをエッチバックすることでWプラグ23を形成しているが、これに限らず、いわゆる選択CVD法により、第2コンタクトホールSCによって露出された第1金属層21の表面にタングステンWを選択成長させることによってWプラグ23を形成しても良い。

#### 【0042】

なお、上述した実施形態においては、3層メタルプロセスが適用されたマスクROMについて説明したが、本発明はこれに限らず、2層メタルプロセスや、4層以上の多層メタルプロセスが適用されたマスクROMについても適用することができるものである。

#### 【0043】

##### 【発明の効果】

本発明は、多層メタルプロセスが適用されるマスクROMにおいて、メモリトランジスタをビット線に接続するか否かを各絶縁層に設けられるコンタクトホールの有無に基づいて切り換え、プログラミングを行うものであり、特に、各絶縁層に設けられるコンタクトホール及びこのコンタクトホールに埋め込まれる金属プラグが上下方向に整列されて積み上げられた構造、すなわちスタックト・コンタクト構造 (Stacked Contact Structure) を有するものである。これにより、マスクROMのTAT短縮化を図ると共に、高速化と高集積化を図ることができる。

##### 【図面の簡単な説明】

##### 【図1】

本発明の実施形態に係る図1はマスクROMの回路図である。

##### 【図2】

図1に示したマスクROMのメモリアレイのレイアウト図である。

##### 【図3】

図2のX-X線に沿った断面図である。

##### 【図4】

図2のY-Y線に沿った断面図である。

##### 【図5】

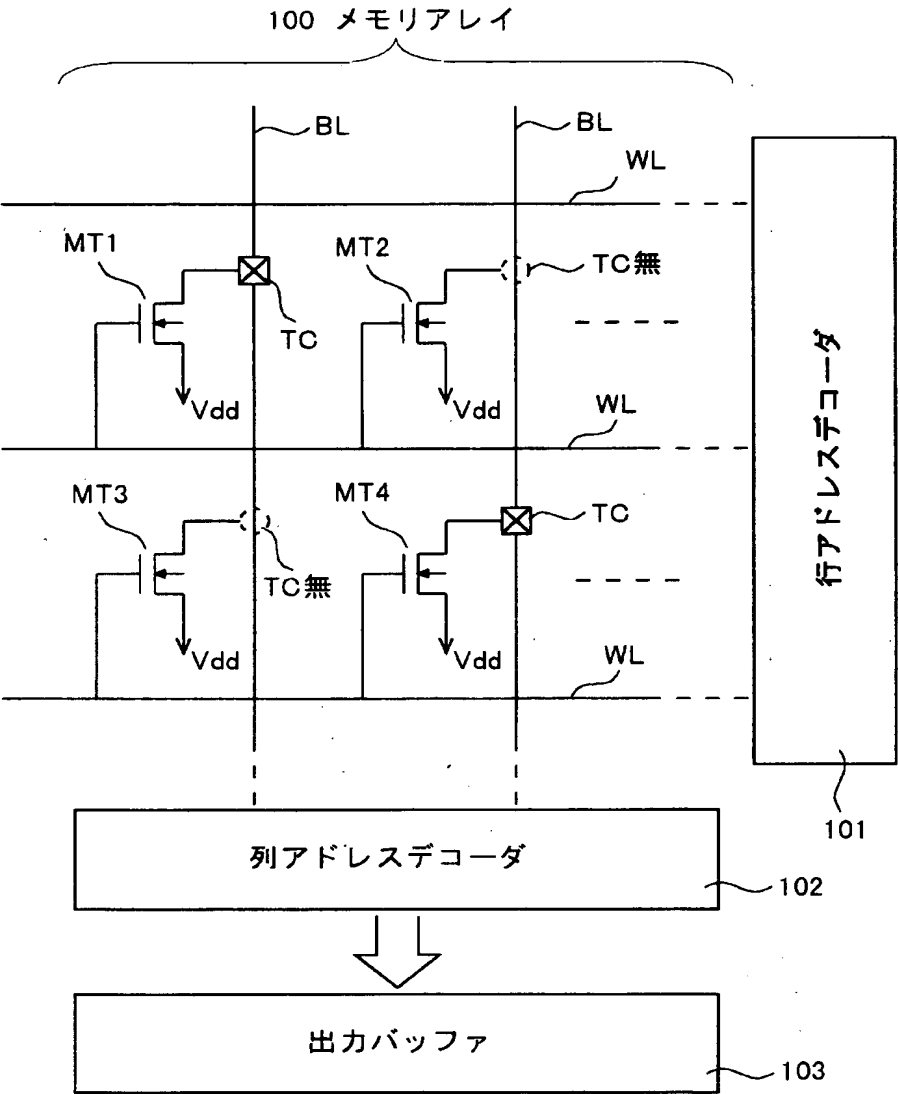
図 2 の X - X 線に沿った他の断面図である。

【図 6】

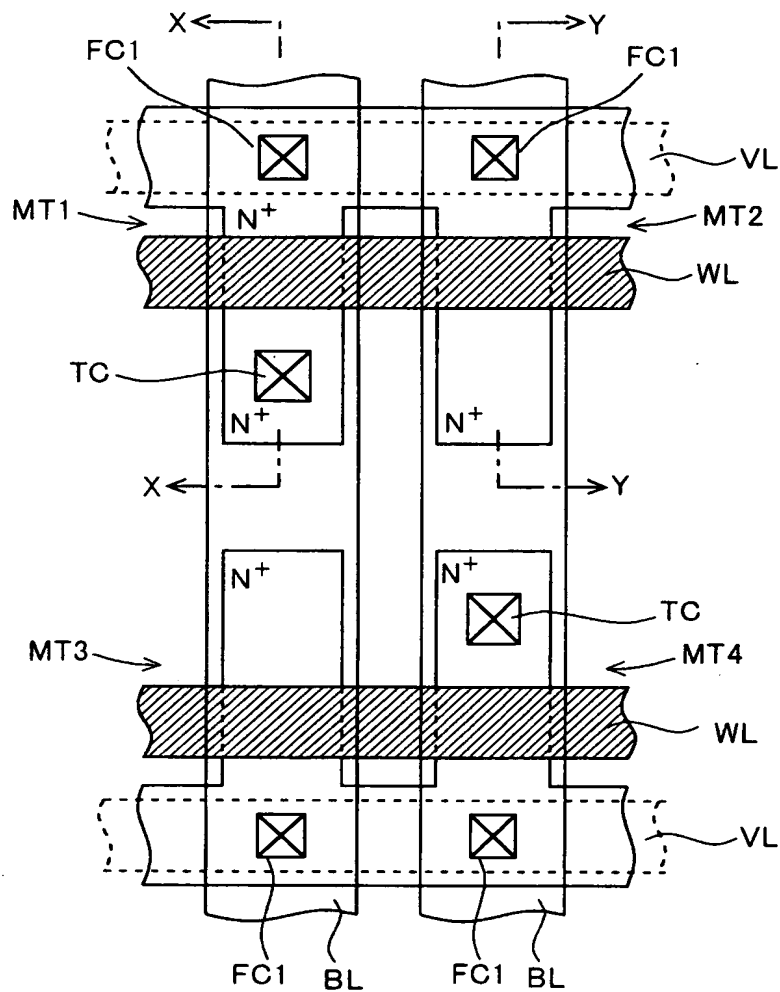
スタックト・コンタクト構造の形成方法を説明する断面図である。

【書類名】 図面

【図 1】



【図 2】



MT1~MT4: メモリトランジスタ

BL: ビット線

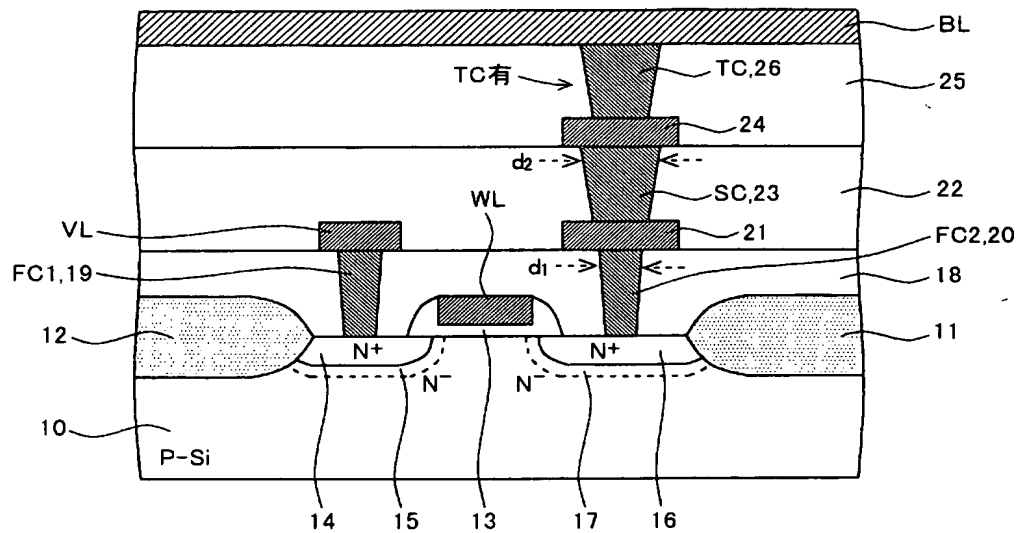
FC1: 第1コンタクトホール

TC: 第3コンタクトホール

VL: 電源ライン

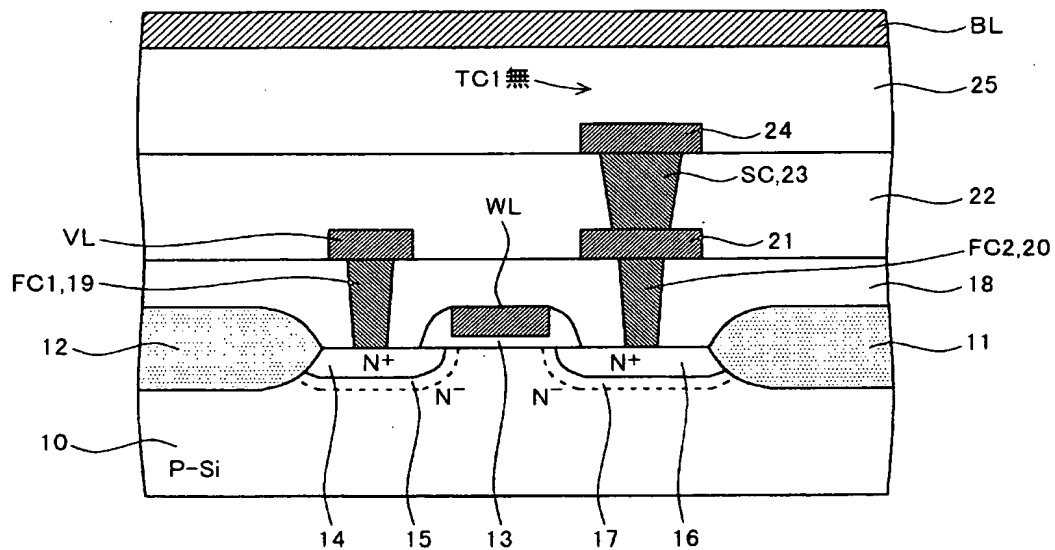
WL: ワード線

【図 3】

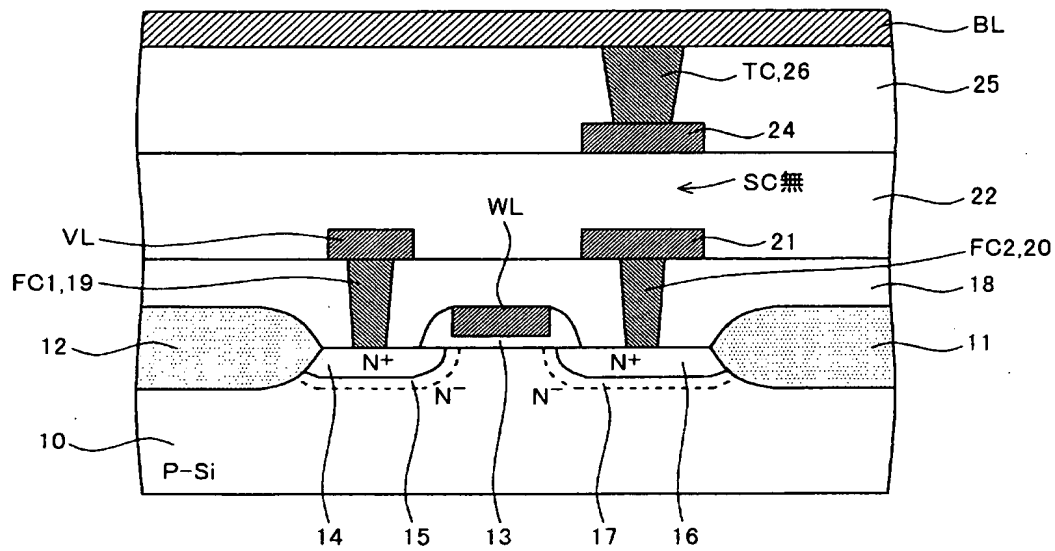


- |             |                 |            |           |
|-------------|-----------------|------------|-----------|
| 10: 半導体基板   | 11,12: フィールド酸化膜 | 13: ゲート絶縁膜 | 14: N+型層  |
| 15: N-型層    | 16: N+型層        | 17: N-型層   | 18: 第1絶縁層 |
| 19,20: Wプラグ | 21: 第1金属層       | 22: 第2絶縁層  | 23: Wプラグ  |
| 24: 第2金属層   | 25: 第3絶縁層       | 26: Wプラグ   |           |

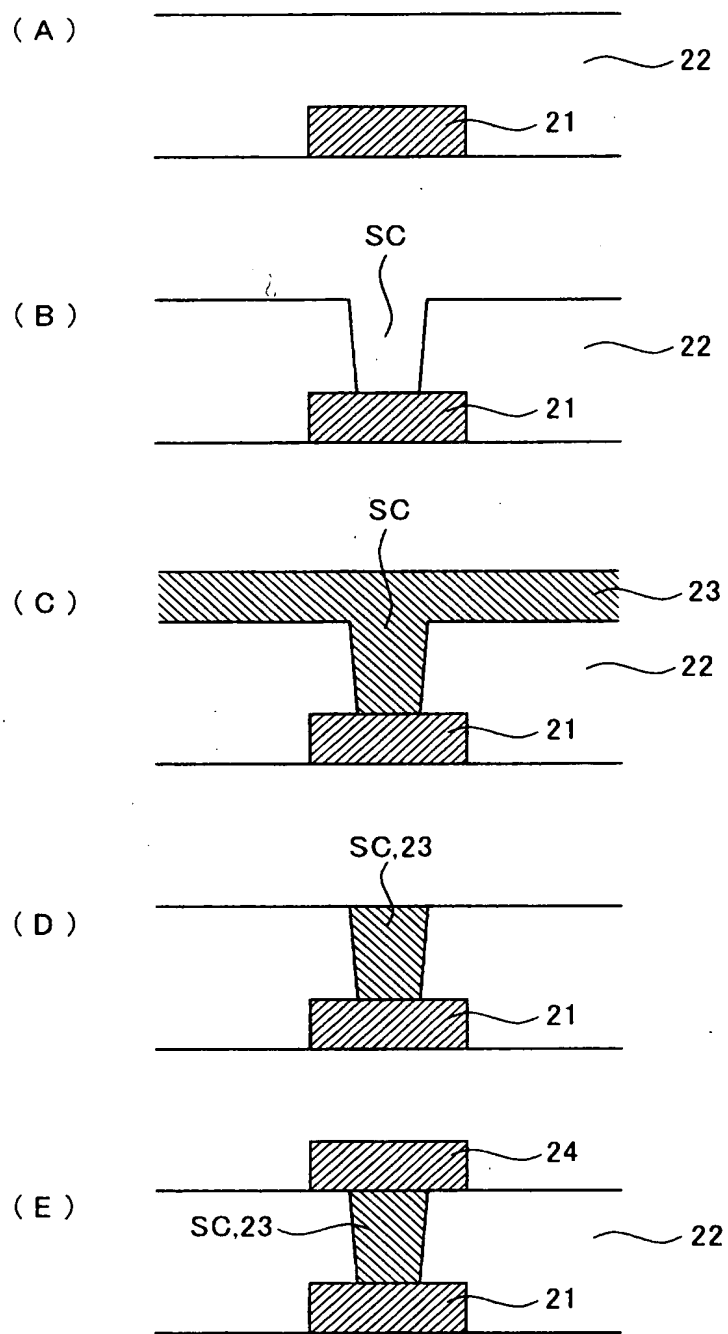
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 マスクROMのTAT短縮化を図ると共に、高速化と高集積化を図る。

【解決手段】 3層メタルプロセスが適用されるマスクROMにおいて、メモリトランジスタMT1をビット線BLに接続するか否かを第3絶縁層25に設けられる第3コンタクトホールTCの有無に基づいて切り換え、プログラミングを行うものであり、特に、各絶縁層18, 22, 25に設けられるコンタクトホールFC2, SC, TC及び、これらのコンタクトホールにそれぞれ埋め込まれるWプラグ20, 23, 26が上下方向に整列されて積み上げられた構造、すなわちスタックト・コンタクト構造 (Stacked Contact Structure) を有するものである。

【選択図】 図3



特願 2002-316483

出 願 人 履 歴 情 報

識別番号

[000001889]

1. 変更年月日      1990年 8月24日  
    [変更理由]      新規登録  
                    住 所      大阪府守口市京阪本通2丁目18番地  
                    氏 名      三洋電機株式会社
  
2. 変更年月日      1993年10月20日  
    [変更理由]      住所変更  
                    住 所      大阪府守口市京阪本通2丁目5番5号  
                    氏 名      三洋電機株式会社